

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-260823

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01L 21/3205  
H01L 21/28

(21)Application number : 10-355405

(71)Applicant : YAMAHA CORP

(22)Date of filing : 30.11.1998

(72)Inventor : YAMAHA TAKAHISA

(30)Priority

Priority number : 09352434 Priority date : 05.12.1997 Priority country : JP

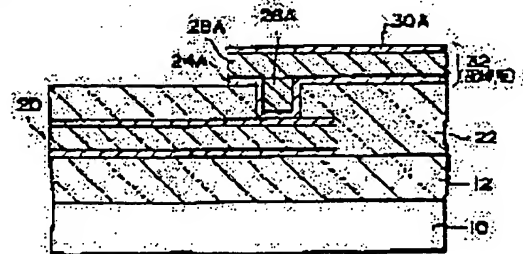
## (54) MULTILAYER WIRING STRUCTURE OF INTEGRATED CIRCUIT AND MULTILAYER WIRING FORMATION

### (57)Abstract:

PROBLEM TO BE SOLVED: To prevent the resistance of an interlaminar connection part from rising in a multilayer wiring structure.

SOLUTION: A first wiring layer 20 is formed on an insulation film 12.

The wiring layer 20 is formed by laminating a barrier layer, an Al alloy layer and an antireflection layer one by one and an antireflection layer is formed by successively laminating a Ti layer, a TiN layer and a TiON layer. After a layer insulation film 22 has been formed, an adhesion layer 24A is formed after the formation of a connection hole in the insulation film 22. The adhesion layer 24A is formed by successively laminating a Ti layer, a TiN layer, a TiON layer and a TiN layer. After a W plug 26A is formed inside a connection hole by a chemical vapor deposition(CVD) method wherein WF<sub>6</sub> is used, an Al alloy layer 28A and an antireflection layer 30A are successively formed and then a second wiring layer 32 is obtained by carrying out wiring patterning. Since a pin hole is not formed in a TiON layer, which is an uppermost layer of the wiring layer 20 during connection hole etching, and WF<sub>6</sub> is blocked by a TiON layer in the adhesion layer 24A during W deposition, an AlF<sub>3</sub> layer of high resistance will not be generated in the wiring layer 20.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-260823

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.<sup>4</sup>

H 0 1 L 21/3205  
21/28

識別記号

3 0 1

F I

H 0 1 L 21/88  
21/28

N

3 0 1 R

審査請求 未請求 請求項の数 6 F D (全 12 頁)

(21) 出願番号 特願平10-355405

(22) 出願日 平成10年(1998)11月30日

(31) 優先権主張番号 特願平9-352434

(32) 優先日 平 9 (1997)12月 5 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番 1 号

(72) 発明者 山葉 隆久

静岡県浜松市中沢町10番 1 号ヤマハ株式会  
社内

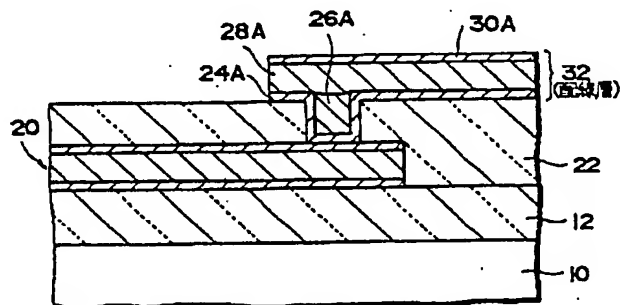
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 集積回路の多層配線構造と多層配線形成法

(57) 【要約】

【課題】 多層配線構造において、層間接続部の抵抗上昇を防ぐ。

【解決手段】 絶縁膜 1 2 上に第 1 の配線層 2 0 を形成する。配線層 2 0 は、バリア層、A l 合金層及び反射防止層を順次に重ねて形成し、反射防止層は、T i 層、T i N 層及び T i O N 層を順次に重ねて形成する。層間絶縁膜 2 2 を形成した後、絶縁膜 2 2 に接続孔を形成してから密着層 2 4 A を形成する。密着層 2 4 A は、T i 層、T i N 層、T i O N 層及び T i N 層を順次に重ねて形成する。W F<sub>6</sub> を用いる C V D 法により W プラグ 2 6 A を接続孔内に形成した後、A l 合金層 2 8 A 及び反射防止層 3 0 A を順次に形成してから配線パターンニングを行なって第 2 の配線層 3 2 を得る。接続孔エッチング時に配線層 2 0 の最上層である T i O N 層にピンホールが形成されず、W 堆積時に W F<sub>6</sub> が密着層 2 4 A 中の T i O N 層で阻止されるので、配線層 2 0 中に高抵抗の A l F x 層が生じない。



## 【特許請求の範囲】

【請求項1】基板と、この基板を覆う第1の絶縁膜と、この第1の絶縁膜の上に形成された第1の配線層であって、Al又はAl合金層と第1のTi層と第1のTiN層と第1のTiON層とを順次に重ねた構成を有するものと、

前記第1の配線層を覆って前記第1の絶縁膜の上に形成された第2の絶縁膜であって、前記第1のTiON層の一部に達する接続孔を有するものと、

前記接続孔の内面を覆って形成された密着層と、この密着層を介して前記接続孔を埋める導電性のプラグと、

前記第2の絶縁膜の上に形成され、前記プラグに接続された第2の配線層とを備えた集積回路の多層配線構造。

【請求項2】前記密着層が第2のTi層と第2のTiN層と第2のTiON層と第3のTiN層とを順次に重ねた構成を有するものである請求項1記載の集積回路の多層配線構造。

【請求項3】基板と、

この基板を覆う第1の絶縁膜と、

この第1の絶縁膜の上に形成された第1の配線層と、

この第1の配線層を覆って前記第1の絶縁膜の上に形成された第2の絶縁膜であって、前記第1の配線層の一部に対応する接続孔を有するものと、

前記接続孔の内面を覆って形成された密着層であって、Ti層と第1のTiN層とTiON層と第2のTiN層とを順次に重ねた構成を有するものと、

前記密着層を介して前記接続孔を埋める導電性のプラグと、

前記第2の絶縁膜の上に形成され、前記プラグに接続された第2の配線層とを備えた集積回路の多層配線構造。

【請求項4】基板を覆う第1の絶縁膜を覆ってAl又はAl合金層を形成する工程と、

前記Al又はAl合金層の上に第1のTi層を形成する工程と、

前記第1のTi層の上に反応性スパッタ法により第1のTiN層と第1のTiON層とを順次に重ねて形成する工程と、

前記Al又はAl合金層と前記第1のTi層と前記第1のTiN層と前記第1のTiON層とを含む積層を所望の配線パターンに従ってパターンニングすることにより第1の配線層を形成する工程と、

前記第1の配線層を覆って前記第1の絶縁膜の上に第2の絶縁膜を形成する工程と、

前記第1のTiON層の一部に達するように前記第2の絶縁膜に接続孔を形成する工程と、

前記接続孔の内面を覆って密着層を形成する工程と、

前記密着層を介して前記接続孔を埋めるように導電性のプラグを形成する工程と、

前記プラグに接続されるように前記第2の絶縁膜の上に

第2の配線層を形成する工程とを含む多層配線形成法。

【請求項5】前記密着層としては、第2のTi層と第2のTiN層と第2のTiON層と第3のTiN層とを順次に重ねた積層を形成し、前記第2のTi層の形成後に反応性スパッタ法により前記第2のTiN層と前記第2のTiON層と前記第3のTiN層とを順次に形成する請求項4記載の多層配線形成法。

【請求項6】基板を覆う第1の絶縁膜の上に第1の配線層を形成する工程と、

前記第1の配線層を覆って前記第1の絶縁膜の上に第2の絶縁膜を形成する工程と、

前記第1の配線層の一部に達するように前記第2の絶縁膜に接続孔を形成する工程と、

前記接続孔の内面を覆って密着層を形成する工程であって、前記密着層としては、Ti層と第1のTiN層とTiON層と第2のTiN層とを順次に重ねた積層を形成し、前記Ti層の形成後に反応性スパッタ法により前記第1のTiN層と前記TiON層と前記第2のTiN層とを順次に形成するものと、

前記密着層を介して前記接続孔を埋めるように導電性のプラグを形成する工程と、

前記プラグに接続されるように前記第2の絶縁膜の上に第2の配線層を形成する工程とを含む多層配線形成法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、LSI等に用いるに好適な集積回路の多層配線構造及び多層配線形成法に関し、特に層間絶縁膜に設けた接続孔を密着層を介してW(タングステン)等のプラグで埋める際に下方配線層の最上層又は密着層の中間層としてTiON層を用いることにより層間接続部の抵抗上昇を防止可能としたものである。

【0002】

【従来の技術】従来、集積回路の多層配線構造としては、図23に示すものが知られている。

【0003】シリコン等の半導体基板1の表面には、シリコンオキサイド等の絶縁膜2が形成され、絶縁膜2には、基板表面の被接続部1a(例えば不純物ドーブ領域)に対応した接続孔2aが形成される。絶縁膜2の上には、接続孔2aを介して基板表面の被接続部1aにつながるように第1の配線層3が形成される。

【0004】絶縁膜2の上には、配線層3を覆ってPSG(リン・ケイ酸ガラス)等の層間絶縁膜4が形成され、絶縁膜4には、配線層3の一部に対応した接続孔4aが形成される。絶縁膜4の上には、接続孔4aを介して配線層3につながるように第2の配線層5が形成される。

【0005】配線層3としては、図24に示すように厚さ2~10nmのTi層3aと、厚さ50~200nmのTiN又はTiOxNy(X=0.05~0.2, Y=

0.95~0.8)層3bと、厚さ7~20nmのTi層3cと、厚さ300~1000nmのAl合金(Al-Si-Ti等)層3dと、厚さ7~20nmのTi層3eと、厚さ50~500nmのTiOxNy(X=0.1~0.3, Y=0.9~0.7)層3fとを順次に重ねた積層構造のものが知られている(例えば、米国特許第5,070,036号参照)。

【0006】また、配線層3としては、図26に示すようにTiN層3Aと、Al合金(又はAl)層3Bと、Ti層3Cと、TiN層3Dとを順次に重ねた積層構造のものも知られている(例えば、特開平5-190551号公報参照)。

【0007】

【発明が解決しようとする課題】図24に示した従来技術によると、Ti層3eの上にTiON層3fをスパッタ法で形成する際に、図25に示すようにTi層3eの表面が酸化されて高抵抗のTiOx膜3gがTi層3eとTiON層3fとの間に介在するため、配線層3,5の間の層間接続部の抵抗(ピア抵抗)が20%程度上昇する不都合がある。

【0008】一方、図26に示した従来技術によると、Ti層3Cの上にTiN層3Dを形成するので、Ti層3Cの表面が酸化されるおそれはない。しかしながら、発明者の研究によると、図26の構成を有する配線層3の上に層間絶縁膜の接続孔を介して配線層5としてプラグ埋込型の配線層を形成する際に層間接続部の抵抗(ピア抵抗)が上昇することが判明した。

【0009】図27は、発明者の研究に係る多層配線構造を示すもので、図23, 26と同様の部分には同様の符号を付して詳細な説明を省略する。絶縁膜2の上には、厚さ10~20nmのTi層3Eと、厚さ100nmのTiN層3Aと、厚さ350nmのAl合金(Al-Si-Cu)層3Bと、厚さ10nmのTi層3Cと、厚さ50nmのTiN層3Dとを順次に重ねた積層が形成され、この積層を所望の配線パターンに従ってパターンニングすることにより配線層3が形成される。

【0010】絶縁膜2の上には、配線層3を覆って絶縁膜4が形成され、絶縁膜4には、レジスト層をマスクとする選択的ドライエッチング処理により接続孔4aが形成される。このときのドライエッチング処理によりTi層3CとTiN層3Dとの積層にピンホールPが形成される。

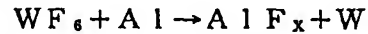
【0011】次に、接続孔4aの内面と絶縁膜4の上面とを覆って密着層6が形成される。密着層6としては、Ti層とTiN層とを順次に重ねた積層が形成される。このとき、ピンホールPが形成された個所では、密着層6のカバレッジが低下する。

【0012】次に、ブランケットCVD(ケミカル・ベーパー・デポジション)法により基板上面にW層を形成した後、W層をエッチバックして接続孔4a内にWから

なるプラグ7を残す。ブランケットCVD法では、通常、原料ガスとしてWF<sub>6</sub>を用いるので、WF<sub>6</sub>がピンホールPに相当するカバレッジ低下個所を介してAl合金層3Bに到達し、次の数1の式の反応により高抵抗なフッ化アルミニウム(AlFx)層8を生ずる。

【0013】

【数1】



この後、基板上面には、Al合金等の配線材層が形成される。そして、配線材層及び密着層6の積層をパターンニングすることによりプラグ7につながる第2の配線層が形成される。この第2の配線層と配線層3との間の層間接続部には、高抵抗なAlFx層8が存在するので、ピア抵抗が上昇する。ピア抵抗は、AlFx層8の発生状況に応じて上昇の程度が異なり、標準値の2~3倍程度のものから10倍以上のものまで様々である。

【0014】この発明の目的は、上記のような層間接続部の抵抗上昇を防止することができる新規な集積回路の多層配線構造及び多層配線形成法を提供することにある。

【0015】

【問題を解決するための手段】この発明に係る集積回路の多層配線構造は、基板と、この基板を覆う第1の絶縁膜と、この第1の絶縁膜の上に形成された第1の配線層であって、Al又はAl合金層と第1のTi層と第1のTiN層と第1のTiON層とを順次に重ねた構成を有するものと、前記第1の配線層を覆って前記第1の絶縁膜の上に形成された第2の絶縁膜であって、前記第1のTiON層の一部に達する接続孔を有するものと、前記接続孔の内面を覆って形成された密着層と、この密着層を介して前記接続孔を埋める導電性のプラグと、前記第2の絶縁膜の上に形成され、前記プラグに接続された第2の配線層とを備えたものである。

【0016】この発明の構成によれば、第1の配線層は、Al又はAl合金層と第1のTi層と第1のTiN層と第1のTiON層とを順次に重ねた構成を有する。Al又はAl合金層は、配線の主体となるものである。第1のTi層は、第1のTiN層を形成する際にAl又はAl合金層の表面の窒化を防止する。第1のTiN層は、第1のTiON層を形成する際に第1のTi層の表面の酸化を防止する。第1のTiON層は、第1の配線層を形成するためのホトリソグラフィ処理において反射防止層として作用すると共に、第2の絶縁膜に接続孔を形成するためのドライエッチング処理においてピンホールの発生を阻止する。

【0017】すなわち、Al又はAl合金層の表面には窒化膜が形成されず、第1のTi層の表面には酸化膜が形成されない。また、第1のTiON層には接続孔形成時のドライエッチングによりピンホールが形成されないため、密着層形成時にカバレッジが低下せず、プラグ形

成時にWF<sub>6</sub>とAlとが反応してAlFx層が生ずることもない。従って、第1及び第2の配線層の間の層間接続部では、ピア抵抗の上昇を防止することができる。

【0018】この発明に係る多層配線構造において、密着層は、第2のTi層と第2のTiN層と第2のTiON層と第3のTiN層とを順次に重ねた構成とすることができる。この場合、第2のTi層は、抵抗低減層として作用する。第2のTiN層は、第2のTiON層を形成する際に第2のTi層の表面の酸化を防止する。第2のTiON層は、プラグ形成時にWF<sub>6</sub>の侵入を阻止するバリア層として作用する。第3のTiN層は、W層に対する密着性を向上させると共に第2のTiON層からW層への酸素拡散を阻止する。

【0019】第2のTiON層でWF<sub>6</sub>の侵入を阻止すると、WF<sub>6</sub>とAlとの反応が行なわれず、層間接続部の抵抗上昇を防止することができる。また、第3のTiN層で第2のTiON層からW層への酸素拡散を阻止すると、W層のエッチレートが局部的に増大するのを防止でき、W層を均一にエッチバック可能となる。

【0020】この出願の出願人は、半導体基板の不純物ドーパ領域に直接接続されるWプラグ埋込型の配線層を形成する場合に密着層としてTi層、TiN層、TiON層及びTiN層を順次に重ねた積層を用いることを要旨とする発明を先に特許出願した(特願平9-231028号)。上記した第2のTi層と第2のTiN層と第2のTiON層と第3のTiN層とを順次に重ねた積層からなる密着層は、先の特許出願に係る密着層を第2の配線層の密着層として応用したものである。

【0021】

【発明の実施の形態】図1～11は、この発明の一実施形態に係る多層配線形成法を示すもので、各々の図に対応する工程(1)～(11)を順次に説明する。

【0022】(1)例えばシリコンからなる半導体基板10の表面にCVD法等により約0.8μmの厚さを有する絶縁膜1-2を形成する。絶縁膜1-2としては、PSG膜にBPSG(ボロン・リン・ケイ酸ガラス)膜を重ねた積層膜を形成することができる。そして、絶縁膜1

2の上にバリア層14を介してAl合金層16を形成する。バリア層14としては、図27に示したようにTi層にTiN層を重ねた積層を形成することができる。図5～8に関して後述するのと同様の工程により基板表面に達する接続孔を密着層を介してW等のプラグで埋めることもでき、この場合には、密着層(Ti層とTiN層とTiON層とTiN層とを順次に重ねた積層)又は密着層にTi層を重ねた積層をバリア層14として用いることができる。

【0023】Al合金16としては、厚さ400nmのAl-Si-Cu合金層を第1のスパッタ室で形成した。この時の成膜条件は、

Ar流量:18sccm

ガス圧:2mTorr

基板温度:150℃

成膜速度:1000nm/min

とした。

【0024】(2)Al合金層16の上に反射防止層18を形成する。反射防止層18としては、図12に示すように厚さ20nmのTi層18aと、厚さ10nmのTiN層18bと、厚さ30nmのTiON層18cとを順次に重ねた積層を形成した。Ti層18aは、第2のスパッタ室で形成した。このときの成膜条件は、

Ar流量:15sccm

ガス圧:4mTorr

基板温度:150℃

成膜速度:100nm/min

とした。

【0025】TiN層18b及びTiON層18cは、第3のスパッタ室で反応成スパッタ法により順次に形成した。すなわち、第3のスパッタ室において、表1の条件Aに従ってTiN層18bを形成した後、基板を大気開放することなく成膜条件を表1の条件Bに変更してTiON層18cを形成した。

【0026】

【表1】

	条件A	条件B
Ar流量	40sccm	30sccm
N <sub>2</sub> 流量	85sccm	85sccm
O <sub>2</sub> 流量	0sccm	10sccm
ガス圧	4mTorr	4mTorr
基板温度	150℃	150℃
成膜速度	75nm/min	75nm/min

別の成膜方法としては、第3のスパッタ室でTi層18a、TiN層18b及びTiON層18cを連続的に形

成することも可能である。

【0027】Al合金層16の上にTi層18aを形成

した後TiN層18bを形成するので、TiN層18bを形成する際にAl合金層16の表面が窒化されるのをTi層18aにより防ぐことができる。また、TiN層18bを形成した後TiON層18cを形成するので、TiON層18cを形成する際にTi層18aの表面が酸化されるのをTiN層18bにより防ぐことができる。なお、TiN層18b及びTiON層18cを反応成スパッタ法で連続的に形成すると、スルーブットが向上する。

【0028】(3) 周知のホトリソグラフィ及びドライエッチング処理によりバリア層14、Al合金層16及び反射防止層18を含む積層を所望の配線パターンに従ってパターンニングすることにより配線層20を形成する。配線層20は、バリア層14の残存部14Aと、Al合金層16の残存部16Aと、反射防止層18の残存部18Aとの積層からなる。ホトリソグラフィ処理によりエッチングマスクとしてのレジスト層を形成する際には、反射防止層18がAl合金層16からの光反射を抑制するので、レジスト層を精度よく形成することができ、ドライエッチング処理では、高精度のパターンニングが可能となる。ドライエッチング処理は、一例として、 $Cl_2/BCl_3$ ガスを用い、10mTorrの圧力下で行なった。ドライエッチング処理の後、周知のアッシング等の方法によりレジスト層を除去する。

【0029】(4) 絶縁膜12の上に配線層20を覆って層間絶縁膜22を形成する。絶縁膜22の形成方法としては、厚さ150nmのシリコンオキサイド膜をプラズマCVD法により基板上面に形成した後、このシリコンオキサイド膜の上に厚さ400nmの水素シルセスキオキサン樹脂膜を回転塗布法により形成し、この樹脂膜にプレセラミック化及びセラミック化のための熱処理を施してセラミック状のシリコンオキサイド膜を形成し、このセラミック状のシリコンオキサイド膜の上に厚さ300nmのシリコンオキサイド膜をプラズマCVD法により形成する方法を用いた。

【0030】(5) 周知のホトリソグラフィ及びドライエッチング処理により配線層20の一部(配線層20の最上層であるTiON層18cの一部)に対応する接続孔22aを絶縁膜22に形成する。ドライエッチング条件は、一例として、

ガス流量： $CHF_3/CF_4/Ar=30/5/100$  sccm

圧力：200mTorr

電力：700W

とし、接続孔22aとして直径0.5 $\mu$ mの接続孔を形成した。このような接続孔を形成するためのドライエッチング処理において、配線層20の最上層であるTiON層18cにはピンホールが形成されなかった。TiN層とTiON層とについてピンホール形成の比較実験を行なったが、これについては後述する。

【0031】(6) 接続孔22aの底面(TiON層18cの表面)を清浄にするため、Arのスパッタクリーニングを行なった後、接続孔22aの内面及び絶縁膜22の上面を覆って密着層24を形成する。スパッタクリーニング条件は、一例として、

Ar圧力：2.5mTorr

高周波電力：500W

時間：60秒

とした。

【0032】密着層24としては、図13に示すように厚さ20nmのTi層24aと、厚さ25nmのTiN層24bと、厚さ50nmのTiON層24cと、厚さ25nmのTiN層24dとを順次に重ねた積層を形成した。Ti層24aは、第2のスパッタ室で形成した。

このときの成膜条件は、

Ar流量：15 sccm

ガス圧：4mTorr

基板温度：150℃

成膜速度：100nm/min

とした。

【0033】TiN層24b、TiON層24c及びTiN層24dは、第3のスパッタ室で反応性スパッタ法により順次に形成した。すなわち、第3のスパッタ室において、表2の条件Aに従ってTiN層24bを形成した後、基板を大気に開放することなく成膜条件を表2の条件Bに変更してTiON層24cを形成し、さらに基板を大気に開放することなく成膜条件を表2の条件Cに変更してTiN層24dを形成した。

【0034】

【表2】

	条件A	条件B	条件C
Ar流量	40 sccm	30 sccm	40 sccm
N <sub>2</sub> 流量	85 sccm	85 sccm	85 sccm
O <sub>2</sub> 流量	0 sccm	10 sccm	0 sccm
ガス圧	4 mTorr	4 mTorr	4 mTorr
基板温度	150℃	150℃	150℃
成膜速度	75 nm/min	75 nm/min	75 nm/min

別の成膜方法としては、第3のスパッタ室でTi層24a、TiN層24b、TiON層24c及びTiN層24dを連続的に形成することも可能である。

【0035】密着層24の最下層としてTi層24aを形成したので、配線層20との低抵抗接触が可能となる。また、TiN層24bを形成した後TiON層24cを形成するので、TiON層24cを形成する際にTi層24aの表面が酸化されるのをTiN層24bにより防ぐことができる。

【0036】TiON層24cは、図7のW堆積工程でWF<sub>6</sub>の侵入を阻止するために設けられたものである。TiN層及びTiON層についてW及びFの侵入状況を調べたが、これについては後述する。TiON層24cを形成した後TiN層24dを形成したので、TiON層24c中の酸素が後述のW層中へ拡散するのをTiN層24dにより阻止することができる。TiON層24c中の酸素がW層中に拡散すると、W層のエッチレートが局部的に増大するため、図8のエッチバック工程では、W層を均一にエッチバックするのが困難となる。TiN層24dでTiON層24cを覆ったことでW層の均一なエッチバックが可能となる。なお、TiN層24b、TiON層24c及びTiN層24dを反応性スパッタ法で連続的に形成すると、スループットが向上する。

【0037】(7) 密着層24を介して接続孔22aを埋めるように基板上面にプラズマCVD法によりW層26を形成する。一例として、

ガス流量：WF<sub>6</sub>/SiH<sub>4</sub>=7~20/4 sccm

圧力：4 Torr

基板温度：430℃

時間：35秒

の条件で核成長を行なった後、

ガス流量：WF<sub>6</sub>/H<sub>2</sub>=80/720 sccm

圧力：50~80 Torr

基板温度：450℃

成膜速度：0.3~0.5 μm/min

の条件でW層26を550 nmの厚さに形成した。

【0038】(8) W層26を密着層24が露呈するまでエッチバックしてW層26の一部からなるプラグ26

Aを密着層24を介して接続孔22aを埋める形で残す。エッチバックは、一例として有磁場マイクロ波プラズマエッチャを用いて行なった。エッチング条件は、

ガス流量：SF<sub>6</sub>=140 sccm

圧力：270 Pa

高周波バイアス電力：200 W

基板温度：30℃

時間：140秒

とした。

【0039】エッチバック処理の後、所望によりプラグ26Aと、残存する密着層24とを覆ってTi等の配線下地層27を形成してもよい。また、W層26のエッチバックに引き続いて絶縁膜22が露呈するまで密着層24をエッチバックした後、プラグ26Aと、残存する密着層24と、絶縁膜22とを覆ってTiN（又はTiON）/Ti（Tiが下層）積層等の配線下地層を形成してもよい。

【0040】(9) プラグ26A及び密着層24を覆ってAl合金層28を形成する。Al合金層28としては、図1の工程と同様にしてAl-Si-Cu合金層を形成した。

【0041】(10) Al合金層28を覆って反射防止層30を形成する。反射防止層30としては、図2、12に関して前述したと同様にしてTiON/TiN/Ti（Tiが下層）積層を形成した。

【0042】(11) ホトリソグラフィ及びドライエッチング処理により密着層24、Al合金層28及び反射防止層30を含む積層を所望の配線パターンに従ってパターニングすることにより配線層32を形成する。配線層32は、密着層24の残存部24Aと、Al合金層28の残存部28Aと、反射防止層30の残存部30Aとの積層からなる。ホトリソグラフィ処理によりエッチングマスクとしてのレジスト層を形成する際には、反射防止層30がAl合金層28からの光反射を抑制するので、レジスト層を精度よく形成することができ、ドライエッチング処理では、高精度のパターニングが可能となる。ドライエッチング処理は、図3の工程と同様にして行なった。ドライエッチング処理の後、アッシング等の方法でレジスト層を除去する。

【0043】この後、必要に応じて図4～11の工程を繰返すことにより配線層32につながる上方配線層を形成することができる。

【0044】TiN層とTiON層とについてドライエッチングによるピンホール形成の比較実験を行なった。図14、15は、ピンホール観察用のサンプルを形成する方法を示すものである。

【0045】図14の工程では、シリコンからなる半導体基板40の表面に厚さ500nmのシリコンオキサイド膜からなるフィールド絶縁膜42を熱酸化法で形成した。そして、絶縁膜42の上には、厚さ50nmのTiN層又はTiON層からなる被膜44を図2の工程と同様にして反応性スパッタ法で形成した。この後、図5の接続孔形成工程と同様の条件で被膜44の全面にドライエッチングを施した。

【0046】次に、図15の工程では、被膜44を覆ってプラズマCVD法により厚さ500nmのシリコンオキサイド膜46を形成した。そして、SEM（走査型電子顕微鏡）を用いてシリコンオキサイド膜46の表面を観察した。

【0047】サンプルとしては、2群のサンプルを用意した。サンプル群Pは、被膜44をTiN層としたサンプルP<sub>1</sub>、P<sub>2</sub>、P<sub>3</sub>、P<sub>4</sub>を含むものであり、サンプル群Qは、被膜44をTiON層としたサンプルQ<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>、Q<sub>4</sub>を含むものである。サンプルP<sub>1</sub>、Q<sub>1</sub>は、いずれも図14の工程でドライエッチングを施さなかったものの、サンプルP<sub>2</sub>、Q<sub>2</sub>は、いずれも図14の工程でドライエッチングを60秒間施したものの、サンプルP<sub>3</sub>、Q<sub>3</sub>は、いずれも図14の工程でドライエッチングを120秒間施したものの、サンプルP<sub>4</sub>、Q<sub>4</sub>は、いずれも図14の工程でドライエッチングを180秒間施したものである。

【0048】図16（A）及び（B）は、いずれもSEM写真の模写図であり、それぞれサンプルP<sub>3</sub>及びP<sub>4</sub>におけるピンホールSの観察結果を示す。図16（A）及び（B）を対比すると、被膜44をTiN層としたサンプルP<sub>3</sub>、P<sub>4</sub>のうちドライエッチング時間が長いサンプルP<sub>4</sub>の方がピンホールSのサイズが大きいことがわかる。サンプルP<sub>3</sub>、P<sub>4</sub>以外のサンプルP<sub>1</sub>、P<sub>2</sub>、Q<sub>1</sub>～Q<sub>4</sub>については、ピンホールが観察されなかった。

【0049】このような実験結果によれば、TiN層よりもTiON層の方がドライエッチングによるピンホールが発生しにくいことがわかる。従って、図2の工程で反射防止層18の最上層としてTiON層18cを形成することにより図5のドライエッチング工程ではピンホールの発生を回避することができ、図6の密着層形成工程では密着層のカバレッジ低下を防ぐことができ、図7のW堆積工程ではWF<sub>6</sub>とAlの反応に基づくAlFx層の発生を防ぐことができる。

【0050】TiN層及びTiON層についてSIMS

(Secondary Ion Mass Spectrometry [二次イオン質量分析法]) 分析によりW及びFの侵入状況を調べた。図17、18は、SIMS分析に用いられる第1、第2サンプルをそれぞれ示すものである。

【0051】図17のサンプルは、次のようにして形成される。すなわち、シリコンからなる半導体基板50の表面にシリコンオキサイドからなるフィールド絶縁膜52を熱酸化法で形成した後、絶縁膜52の上に厚さ15nmのTi層54と、厚さ100nmのTiN層56とを順次に重ねて形成する。そして、TiN層56の上に厚さ550nmのW層58を形成した後、W層58をエッチバックして除去する。

【0052】また、図18のサンプルは、次のようにして作成される。すなわち、半導体基板50及び絶縁膜52は、図17のサンプルと同様のものであり、絶縁膜52の上には、厚さ15nmのTi層60と、厚さ25nmのTiN層62と、厚さ50nmのTiON層64と、厚さ25nmのTiN層66とを順次に重ねて形成する。そして、TiN層66の上に厚さ550nmのW層68を形成した後、W層68をエッチバックして除去する。

【0053】図17、18のサンプルの作成において、Ti層はスパッタ法で形成し、TiN層及びTiON層は反応性スパッタ法で形成した。このときの成膜条件は、図6の工程と同様であった。また、W層の成膜条件及びエッチバック条件は、図7、8の工程と同様であった。SIMS分析では、図17、18の各サンプルについて深さ方向に分析を行なった。その分析結果を図19～22に示す。

【0054】図19、20は、それぞれ図17、18のサンプルにおけるフッ素濃度分布をカーブFa、Fbにより示すものである。図19、20を対比すると、Fは、TiN層中を素通りするのに対し、TiON層中で拡散を阻止されているのがわかる。従って、TiON層がFに対するバリア性を有するといえる。

【0055】図21、22は、それぞれ図17、18のサンプルにおけるWの侵入状況をカーブWa、Wbにより示すものである。図21、22を対比すると、TiN層に比べてTiON層の方がWに対するバリア性が高いといえる。

【0056】図6の工程で密着層24の中間層としてTiON層24cを形成することにより図7の工程でTiON層24cがWF<sub>6</sub>の侵入を阻止するので、配線層20中にAlFx層が生ずるのを防止することができる。前述したサンプルQ<sub>2</sub>～Q<sub>4</sub>のように接続孔形成時のドライエッチングでTiON層にピンホールが形成されないようにすれば、反射防止層18中のTiON層18cもWF<sub>6</sub>に対するバリア層として働くので、2重のAlFx防止策となる。また、前述したサンプルP<sub>2</sub>のように接

続孔形成時のドライエッチングでTiN層にピンホールが形成されないようにすれば、反射防止層18中のTiON層18cを省略することも可能である。この場合は、密着層24中のTiON層24cのバリア性を活用してAlFx層の発生を防ぐことができる。

【0057】この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、Al合金層16又は28の代りにAl層を用いてもよい。また、Wプラグは、接続孔内にWプラグを選択成長させる方法で形成してもよい。さらに、プラグ材料としては、Wの代りにMo、WSi<sub>x</sub>等を用いることもできる。

【0058】

【発明の効果】以上のように、この発明によれば、集積回路の多層配線構造において下方配線層の最上層をTiON層で構成して接続孔形成時のドライエッチングでピンホールが生じないようにしたので、接続孔内にプラグを形成する際に下方配線層中にAlFx層が形成されなくなり、層間接続部の抵抗上昇を防止できる効果が得られる。

【0059】また、密着層として、Ti層とTiN層とTiON層とTiN層とを順次に重ねた積層を形成すると、TiON層でWF<sub>6</sub>の侵入を阻止することができるので、WF<sub>6</sub>とAlとが反応することがなくなり、層間接続部の抵抗上昇を防止できる効果が得られると共に、TiON層を覆うTiN層がTiON層からW層への酸素拡散を阻止するので、W層を均一にエッチバック可能となる効果も得られる。

【0060】その上、この発明に係る多層配線構造を形成する場合において、Al又はAl合金層の上に反射防止層を形成する際にTi層を形成した後反応性スパッタ法によりTiN層及びTiON層を順次に形成したり、密着層を形成する際にTi層を形成した後反応性スパッタ法によりTiN層、TiON層及びTiN層を順次に形成したりすると、連続的な成膜によりスループットが向上する効果が得られる。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係る多層配線形成法におけるAl合金層形成工程を示す基板断面図である。

【図2】 図1の工程に続く反射防止層形成工程を示す基板断面図である。

【図3】 図2の工程に続く配線パターンニング工程を示す基板断面図である。

【図4】 図3の工程に続く層間絶縁膜形成工程を示す基板断面図である。

【図5】 図4の工程に続く接続孔形成工程を示す基板断面図である。

【図6】 図5の工程に続く密着層形成工程を示す基板

断面図である。

【図7】 図6の工程に続くW層形成工程を示す基板断面図である。

【図8】 図7の工程に続くエッチバック工程を示す基板断面図である。

【図9】 図8の工程に続くAl合金層形成工程を示す基板断面図である。

【図10】 図9の工程に続く反射防止層形成工程を示す基板断面図である。

【図11】 図10の工程に続く配線パターンニング工程を示す基板断面図である。

【図12】 反射防止層の積層構造を示す断面図である。

【図13】 密着層の積層構造を示す断面図である。

【図14】 ピンホール観察用のサンプルを作成する方法におけるTiN層又はTiON層のドライエッチング工程を示す基板断面図である。

【図15】 図14の工程に続くシリコンオキサイド膜形成工程を示す基板断面図である。

【図16】 ピンホール観察結果を示すSEM写真の模写図である。

【図17】 SIMS分析に用いられる第1のサンプルを示す基板断面図である。

【図18】 SIMS分析に用いられる第2のサンプルを示す基板断面図である。

【図19】 第1のサンプルにおけるフッ素濃度分布を示すグラフである。

【図20】 第2のサンプルにおけるフッ素濃度分布を示すグラフである。

【図21】 第1のサンプルにおけるタングステンの侵入状況を示すグラフである。

【図22】 第2のサンプルにおけるタングステンの侵入状況を示すグラフである。

【図23】 従来の多層配線構造を示す基板断面図である。

【図24】 1層目配線の積層構造の一例を示す断面図である。

【図25】 図24の配線の問題点を説明するための断面図である。

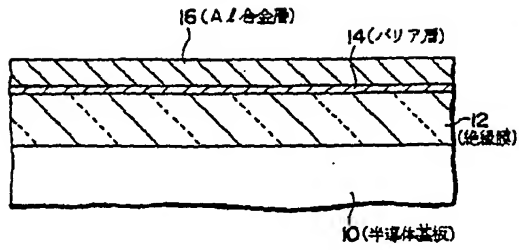
【図26】 1層目配線の積層構造の他の例を示す断面図である。

【図27】 発明者の研究に係る多層配線構造を示す断面図である。

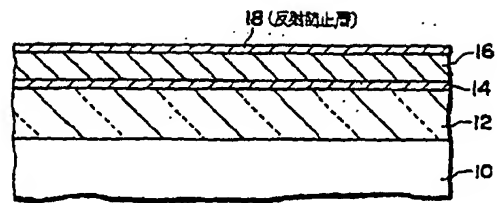
【符号の説明】

10：半導体基板、12，22：絶縁膜、14：バリア層、16，28：Al合金層、18，30：反射防止層、20，32：配線層、24：密着層、26：W層。

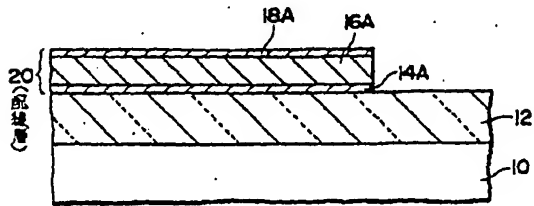
【図1】



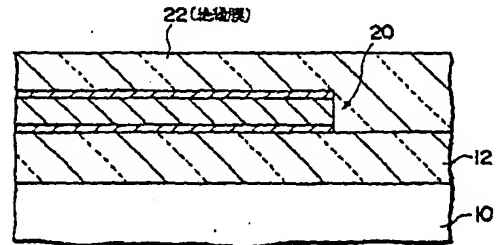
【図2】



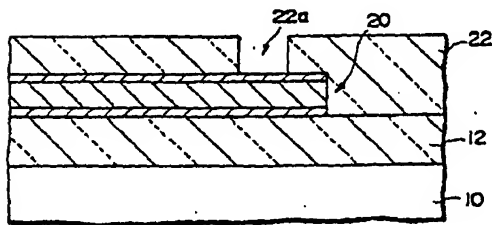
【図3】



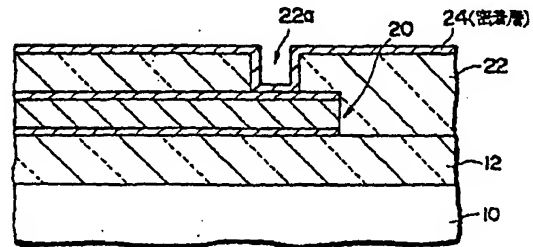
【図4】



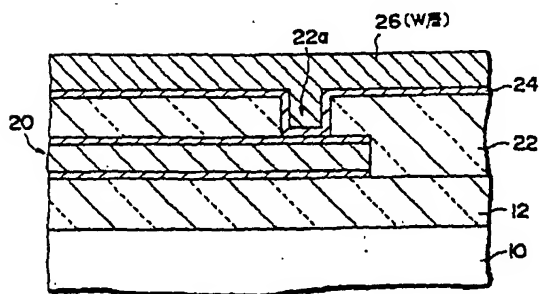
【図5】



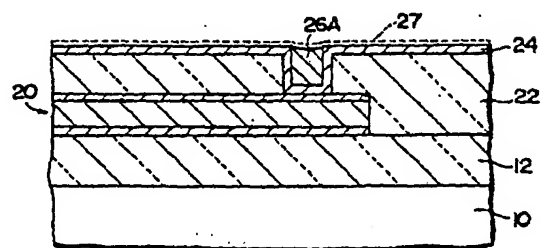
【図6】



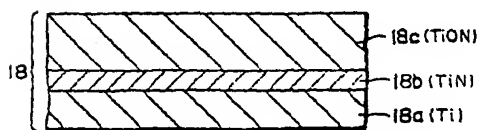
【図7】



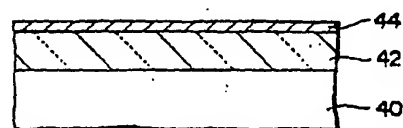
【図8】



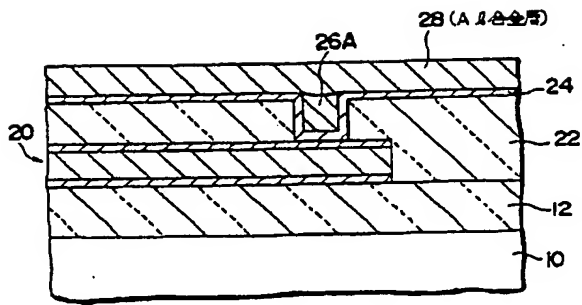
【図12】



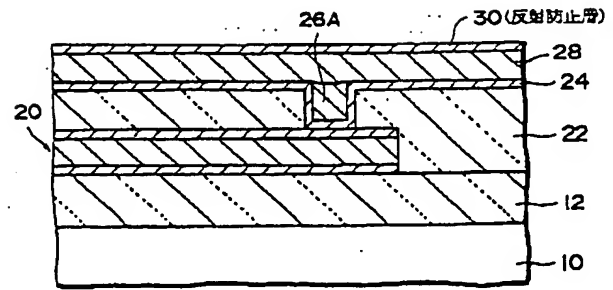
【図14】



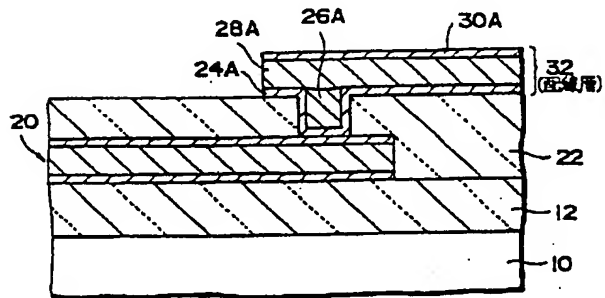
【図9】



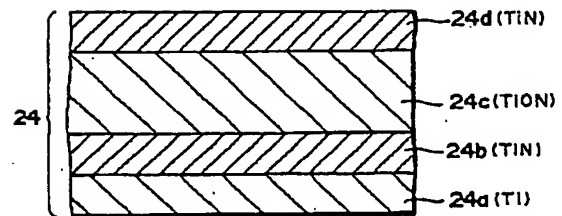
【図10】



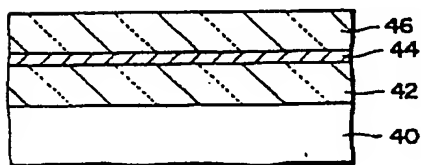
【図11】



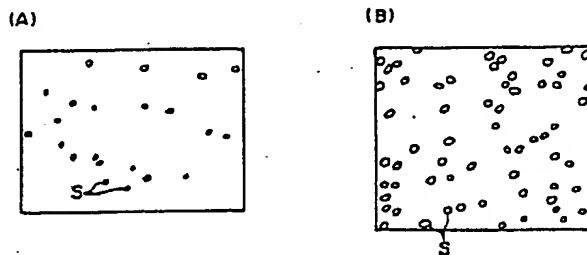
【図13】



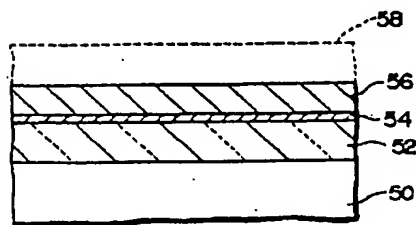
【図15】



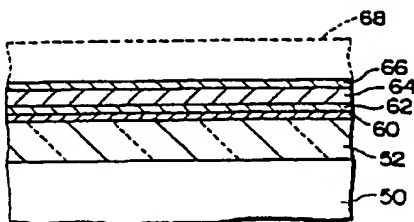
【図16】



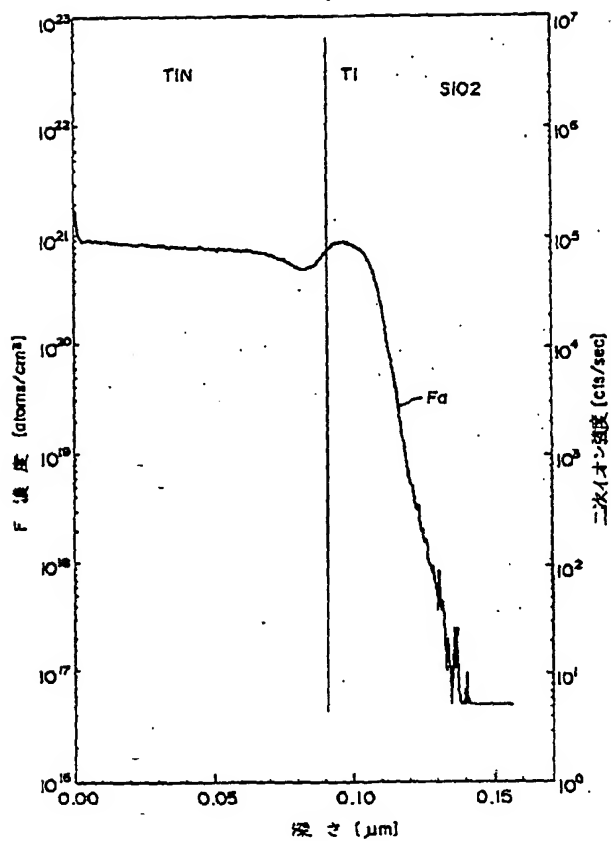
【図17】



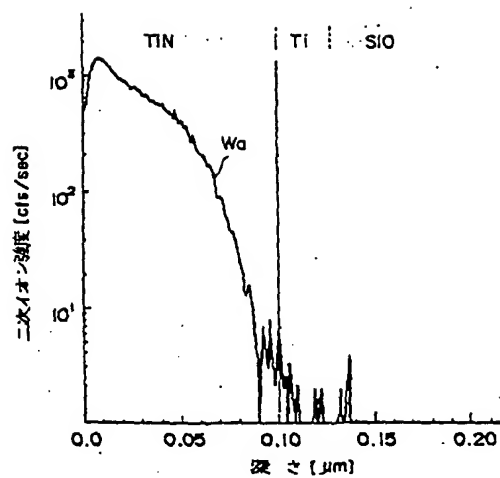
【図18】



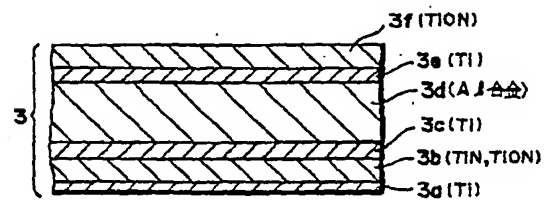
【図19】



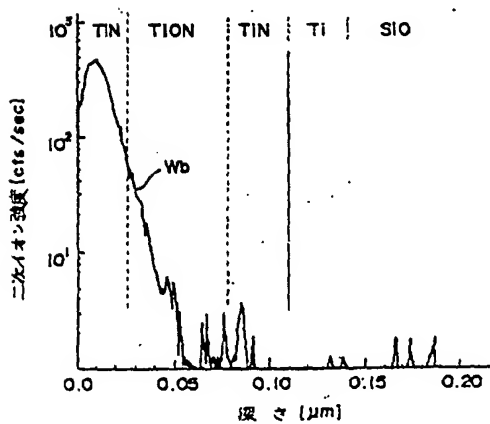
【図21】



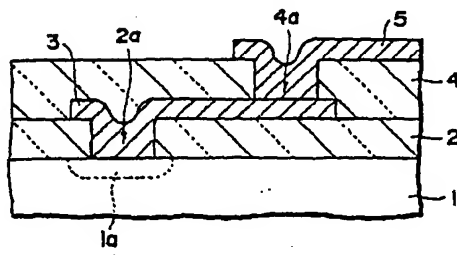
【図24】



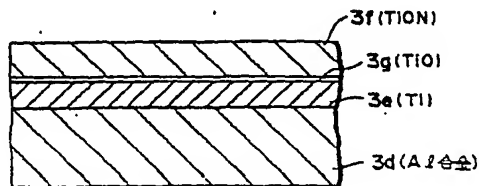
【図22】



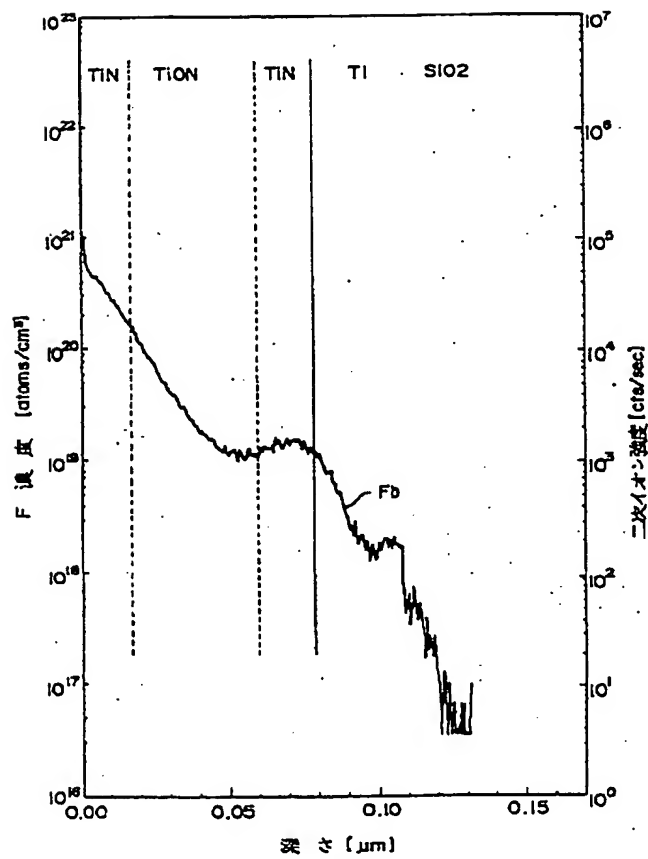
【図23】



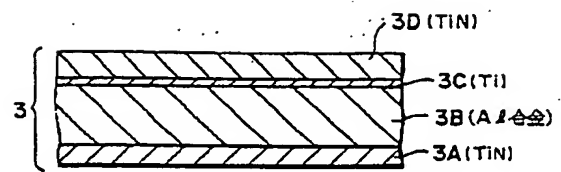
【図25】



【図20】



【図26】



【図27】

